

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 19 日
Application Date

申請案號：092122719
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 15 日
Issue Date

發文字號：09220929140
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	部分垂直記憶單元的雙邊角圓化製程
	英 文	Double corner rounding processes for partial vertical cell
二、 發明人 (共3人)	姓 名 (中文)	1. 郝中蓬 2. 陳逸男 3. 張明成
	姓 名 (英文)	1. Chung-Peng Hao 2. Yi-Nan Chen 3. Ming-Cheng Chang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣新莊市幸福路810號3樓 2. 台北市北投區建民路151巷4號 3. 桃園縣蘆竹鄉蘆竹村12鄰31號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：部分垂直記憶單元的雙邊角圓化製程)

本發明提出一種部分垂直記憶單元的雙邊角圓化製程，第一次圓化製程係於半導體基底中蝕刻形成隔離區的溝槽後進行，第二次圓化製程係於支援區形成淺溝槽隔離結構後，再次暴露出記憶單元陣列區的主動區之邊角，以對記憶單元陣列區的主動區之邊角進行第二次圓化製程。

伍、(一)、本案代表圖為：第2G圖。

(二)、本案代表圖之元件代表符號簡單說明：

記憶單元陣列區~I；

支援區~II；

半導體基底~100；

罩幕層~102；

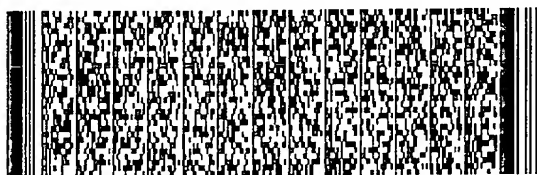
溝槽型電容器~104；

頸圈絕緣層~114；

上電極~116；

六、英文發明摘要 (發明名稱：Double corner rounding processes for partial vertical cell)

Double corner rounding processes for partial vertical cell are provided in the present invention. The first corner rounding process is performed after etching the semiconductor substrate to form a shallow trench for device isolation. The second corner rounding process is performed after forming shallow trench isolations (STIs) and exposing the corner of the semiconductor substrate



四、中文發明摘要 (發明名稱：部分垂直記憶單元的雙邊角圓化製程)

頂端絕緣層~122；

襯絕緣層~134；

絕緣插塞~136；

光阻圖案層~142；

邊角~150。

六、英文發明摘要 (發明名稱：Double corner rounding processes for partial vertical cell)

at the active region in the memory cell array region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



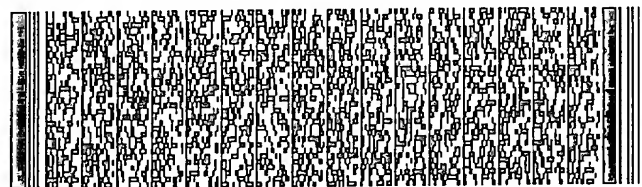
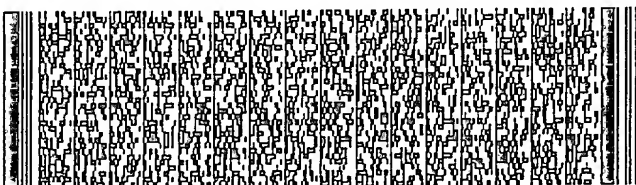
五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種半導體元件的製造方法，且特別是有關於一種包含溝槽式電容器 (deep trench capacitor) 和部份垂直電晶體的動態隨機存取記憶體 (dynamic random access memory ; DRAM) 的製造方法。

【先前技術】

在積體電路 (integrated circuit, IC) 晶片上製作高積集度之半導體元件時，必須考慮如何縮小每一個記憶單元 (memory cell) 的大小與電力消耗，以使其操作速度加快。在傳統的平面電晶體設計中，為了獲得一個最小尺寸之記憶單元，必須盡量將電晶體的閘極長度縮短，以減少記憶單元的橫向面積。但是，這會使閘極無法忍受過大的漏電流而必須相對應地降低位元線上的電壓，進而使得電容所儲存的電荷減少。所以，在縮短閘極的橫向長度同時，還要考量如何製作一個具有較大電容量之電容，例如：增加電容之面積、減少電容板之間的有效介質厚度等等。為了解決上述問題，目前高密度記憶體 (例如：動態隨機存取記憶體，DRAM) 係發展出兩種不同的電容器形成技術，一種為堆疊式電容，另一種為深溝槽電容 (deep trench capacitor)，其中深溝槽電容之製作係於基底內形成一個深溝槽，並於深溝槽內製作電容儲存區，故不會佔用記憶單元的額外面積。此外，為了使閘極長度維持在一個可得到低漏電流的適當值，還發展出一種垂直電晶



五、發明說明 (2)

體 (vertical transistor) 結構，係製作於深溝槽電容之上方，不但不會減小位元線電壓，也不會增加記憶單元的橫向面積。

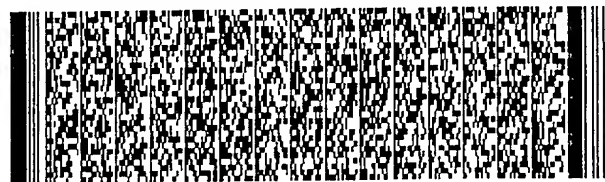
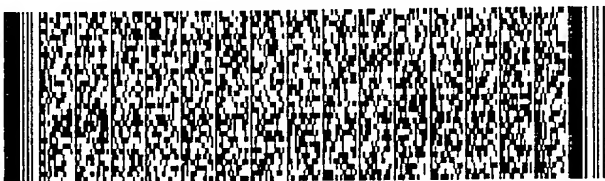
以下配合第1圖說明傳統之深溝槽電容和垂直電晶體之結構。此半導體裝置包含一基底10，例如一矽基底，深溝槽18形成於其中，溝槽電容器14設置於深溝槽18的下半部。頸圈氧化層係設置於溝槽電容器14的上半部之側壁。電容器14的複晶矽上電極板係設置於深溝槽18內。

埋入帶 (buried strap) 12係指位於溝槽式電容器14和垂直電晶體16之間的擴散區，且與上電極板電性接觸，用以作為垂直電晶體16之汲極。埋入帶12係經由熱製程將摻雜介電層 (未繪示) 中之摻雜離子驅入基底10而形成。

頂端氧化矽層 (TTO) 24係由為四乙基矽酸鹽 (TEOS) 所形成之氧化物，設置於上電極板上，用以作為溝槽式電容器14和垂直電晶體16之間之電性絕緣。

垂直電晶體16的結構包括源極26、汲極12、閘極氧化層28和包含閘極電極22之閘極20。閘極電極22係位於深溝槽18的上半部，且會部份延伸至矽基底10表面。然而，位於邊角30的閘極氧化層28之厚度會因氧化速率的差異，而較深溝槽18垂直側壁和矽基底10水平表面的厚度薄，使邊角30處之閘極氧化層28的絕緣性質變差，如此會影響電晶體16的品質。

【發明內容】



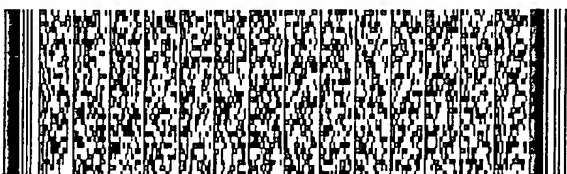
五、發明說明 (3)

有鑑於此，本發明的目的在於提供一種可以避免邊角處的閘極氧化層過薄的方法。

本發明提出一種部分垂直記憶單元的雙邊角圓化製程。首先，提供包括記憶單元陣列區和支援區之半導體基底，此半導體基底上具有第一罩幕層，第一罩幕層和半導體基底中具有第一溝槽和第二溝槽，第一溝槽為深溝槽，且位於記憶單元陣列區中，其下半部具有電容器，電容器的頂部具有第一絕緣層，第一絕緣層的表面和半導體基底的表面相隔一距離，第二溝槽為淺溝槽，用以定義出記憶單元陣列區和支援區的主動區。之後，使第一罩幕層的邊緣退縮至暴露出半導體基底的邊角，並對半導體基底之邊角進行第一圓化製程。接著，於第一罩幕層、第一絕緣層和半導體基底表面形成襯絕緣層，並於襯絕緣層上形成絕緣插塞，絕緣插塞與主動區之半導體基底上之襯絕緣層的表面大致共平面。接著，移除記憶單元陣列區之部份絕緣插塞、部份襯絕緣層和部份第一罩幕層，至暴露出記憶單元陣列區的半導體基底之邊角，再對記憶單元陣列區之半導體基底之邊角進行第二圓化製程。

記憶單元陣列區的主動區之邊角經過兩次的圓化製程，因此，邊角處的曲率半徑較大，利用氧化製程所生成的閘極絕緣層在邊角處的厚度，與其他區域大致相同，藉此可以提高電晶體的品質。

【實施方式】



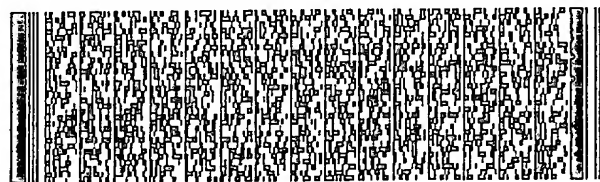
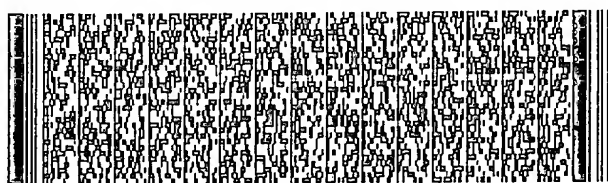
五、發明說明 (4)

首先請參照第2A圖，提供一半導體基底100，其材質例如是矽或鍺。此半導體基底100可大致分為記憶單元陣列區I和支援區II。接著在半導體基底100表面形成一罩幕層102，例如是由墊氧化層和墊氮化層之疊層結構所構成，其中墊氧化層例如藉由熱氧化法成長於半導體基底100表面，之後於墊氧化層上藉由化學氣相沈積法沈積一層墊氮化矽層。

接著，藉由微影蝕刻製程，並配合使用罩幕層102做保護，以於半導體基底100中形成深溝槽112。之後，於深溝槽112中的下半部形成溝槽型電容器104，其包括埋入式下電極(buried plate; BP)、電容介電層和上電極116。其中，埋入式下電極係指位於溝槽112下半部周圍之半導體基底100中的摻雜區。電容介電層位於下電極和上電極116之間，材質例如是氧化矽、或氧化矽-氮化矽-氧化矽(ON0)之疊層結構。上電極116例如由摻雜的多晶矽所構成。

之後，在溝槽112中之電容器104的上半部的側壁形成頸圈絕緣層114，例如是頸圈氧化層。繼續在電容器104的頂部形成頂端絕緣層122，例如是頂端氧化矽層(TTO; trench top oxide)，用以做為電容器的上電極116和其上方將形成之垂直電晶體結構的電性隔離。頂端氧化矽層的形成方法例如是由四乙基矽酸鹽(TEOS)所形成之氧化物。

接著請參照第2B圖，於溝槽112中頂端絕緣層122的上



五、發明說明 (5)

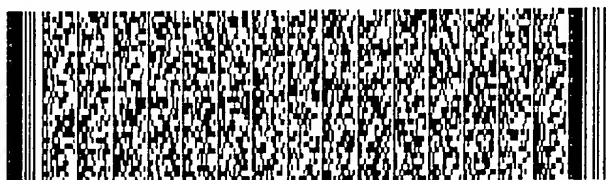
方形成一罩幕層124，用以在後續的蝕刻過程中保護其下方的頂端絕緣層122和電容器104，其材質例如有機抗反射層，例如氮氧化矽(SiON)。罩幕層124的表面會凹陷於溝槽112中，其形成方法例如是沈積一層填滿整個溝槽112的抗反射層，且覆蓋整個罩幕層102的表面，接著進行回蝕刻製程，直至暴露出罩幕層102的表面，且使罩幕層124的表面略低於罩幕層102的表面。之後，於罩幕層102和124上形成一光阻圖案層126，此光阻圖案層126覆蓋記憶單元陣列區I和支援區II的元件主動區。

接著請參照第2C圖，以此光阻圖案層126和罩幕層124為罩幕，進行蝕刻製程，以於半導體基底100中形成做為元件隔離用之溝槽130，藉以定義出主動區(AA)。其中溝槽130的底部至少低於頂端絕緣層122的表面。之後，移除光阻圖案層126和罩幕層124。

接著進行第一次的圓角化製程，以下將配合第2D圖做說明。

請參照第2D圖，將主動區AA的半導體基底100表面之罩幕層102的邊緣內縮，以暴露出主動區AA的半導體基底100之邊角150。使罩幕層102的邊緣內縮之方法可為等向性蝕刻法，例如使用氫氟酸/乙二醇(hydrogen fluoride/ethylene glycol; HF/EG)。

之後，進行同步蒸汽(in-situ steam generation; ISSG)氧化製程，以於暴露出的半導體基底100表面，包括邊角150處，形成一層犧牲氧化層132，之後將犧牲氧化



五、發明說明 (6)

層132移除，藉以達到將主動區AA的半導體基底100之邊角150圓角化的目的。

接著進行支援區II的元件隔離結構之製程，以下將配合第2E圖做說明。

接著請參照第2E圖，於整個半導體基底100上形成一層順應性的襯絕緣層134，其材質例如是氮化矽。之後，於溝槽130中形成絕緣插塞136，其形成方法例如是利用高密度電漿化學氣相沈積法(HDP-CVD)沈積一層氧化矽，並利用化學機械研磨法(CMP)磨除多餘的氧化矽，至暴露出主動區AA的襯絕緣層134為止。

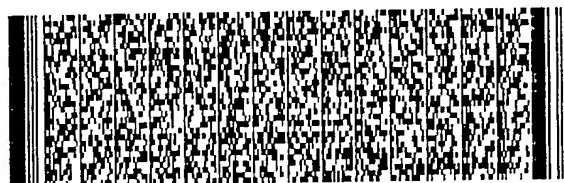
接著進行記憶單元陣列區I的第二次圓角化製程，以下將配合第2F圖至第2H圖做說明。

接著請參照第2F圖，於襯絕緣層134和絕緣插塞136表面形成一層光阻圖案層142，其暴露出記憶單元陣列區I。

接著請參照第2G圖，移除記憶單元陣列區I的部份襯絕緣層134、單幕層102和絕緣插塞136，至暴露出主動區AA的半導體基底100之邊角150。其方法例如是等向性蝕刻法，例如使用氫氟酸/乙二醇(HF/EG)之濕蝕刻製程。

之後，將暴露出的邊角150進行圓化，其圓化方法例如是使用氧化劑，例如過氧化氫溶液($H_2O_{2(aq)}$)或硝酸溶液($HNO_{3(aq)}$)，以於暴露出的邊角150處生成氧化物，再利用氫氟酸溶液($HF_{(aq)}$)移除生成的氧化物，以達到將邊角150圓化的目的。

接著進行後續的電晶體製程。



五、發明說明 (7)

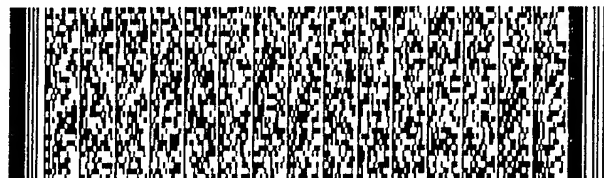
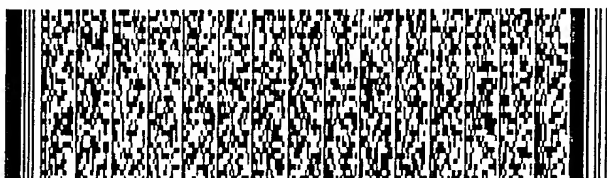
首先，在光阻圖案層142的保護下，移除記憶單元陣列區I的絕緣插塞136，再將光阻圖案層142移除，如第2H圖所示。之後，移除暴露出的襯絕緣層134和罩幕層102，以暴露出主動區AA的半導體基底100表面。接著，於半導體基底100表面形成閘極絕緣層152，其材質例如是利用氧化製程於矽基底所形成的氧化矽，並於閘極絕緣層152上形成閘極154，並於閘極154兩側形成間隙壁156，以利於支援區II形成具有淺摻雜汲極結構的源極/汲極158，或者，可利於記憶單元陣列區I形成後續可自動對準源極S的接觸窗插塞。圖式中記憶單元陣列區I的汲極D係於先前的製程中即形成，但僅於第2I圖中標示出，然此非關本發明，在此不多做說明。

【發明之特徵與效果】

綜上所述，本發明至少具有下列優點：

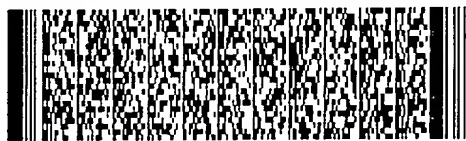
1. 本發明於完成溝槽式電容器，且於半導體基底中形成隔離區的溝槽後，對主動區之邊角進行第一次圓化製程。且於支援區形成淺溝槽隔離結構後，再次對記憶單元陣列區的主動區之邊角進行第二次圓化製程。
2. 本發明之記憶單元陣列區的主動區之邊角係歷經兩次的圓化製程，因此可以得到曲率半徑較大的邊角，以得到氧化速率與表面處大致相同的閘極絕緣層。

雖然本發明已以較佳實施例揭露如上，然其並非用以



五、發明說明 (8)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係繪示傳統之深溝槽電容和垂直電晶體之結構剖面圖。

第2A圖至第2I圖係為剖面圖，其表示本發明一實施例之一種部分垂直記憶單元的雙邊角圓化製程。

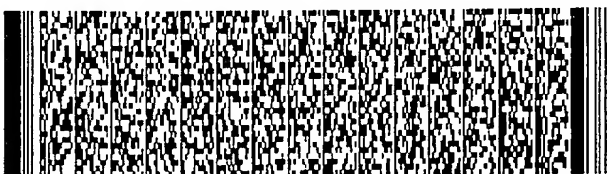
【符號簡單說明】

第1圖

基底~10；
埋入帶（汲極）~12；
溝槽電容器~14；
垂直電晶體~16；
深溝槽~18；
閘極~20；
閘極電極~22；
頂端氧化矽層~24；
源極~26；
閘極氧化層~28；
邊角~30。

第2A圖至第2I圖

記憶單元陣列區~I；
支援區~II；
半導體基底~100；
罩幕層~102；



圖式簡單說明

溝槽型電容器~104；

深溝槽~112；

頸圈絕緣層~114；

上電極~116；

頂端絕緣層~122；

罩幕層~124；

光阻圖案層~126；

溝槽~130；

犧牲氧化層~132；

襯絕緣層~134；

絕緣插塞~136；

光阻圖案層~142；

邊角~150；

閘極絕緣層~152；

閘極~154；

間隙壁~156；

源極/汲極~158；

源極~S；

汲極~D。



六、申請專利範圍

1. 一種部分垂直記憶單元的雙邊角圓化製程，包括：

提供一半導體基底，包括一記憶單元陣列區和一支援區，該半導體基底上具有一第一罩幕層，該記憶單元陣列區之該第一罩幕層和該半導體基底中具有一深溝槽，該深溝槽中的下半部具有一電容器，該電容器頂部具有一第一絕緣層，該第一絕緣層的表面和該半導體基底的表面相隔一距離；

於該深溝槽中填入另一罩幕材質，形成一第二罩幕層，該第二罩幕層的表面低於該第一罩幕層的表面；

覆蓋一光阻層於主動區的區域，該光阻層對應於一第一部份的該半導體基底，未為該光阻層覆蓋之處為一第二部份的該半導體基底；

移除未被該光阻層覆蓋的該第一罩幕層、該第二部份之部份該半導體基底，至該第二部份的該半導體基底之表面低於該第一絕緣層的表面；

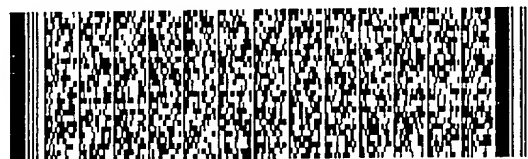
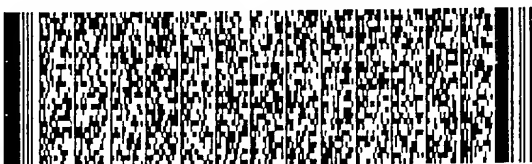
移除該光阻層和該第二罩幕層；

使該第一罩幕層的邊緣退縮至暴露出該第一部份的該半導體基底的邊角；

對該第一部份的該半導體基底之邊角進行第一圓化製程；

於該第一罩幕層、該第一絕緣層和該半導體基底表面形成一襯絕緣層；

於該襯絕緣層上形成一絕緣插塞，該絕緣插塞與該第一部份的該半導體基底上之該襯絕緣層的表面大致共平



六、申請專利範圍

面；

移除該記憶單元陣列區之部份該絕緣插塞、部份該襯絕緣層和部份該第一單幕層，至暴露出該第一部份的該半導體基底之邊角；以及

對該記憶單元陣列區之該半導體基底之邊角進行第二圓化製程。

2. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，其中該第一單幕層為墊氧化矽層和墊氮化矽層的疊層結構。

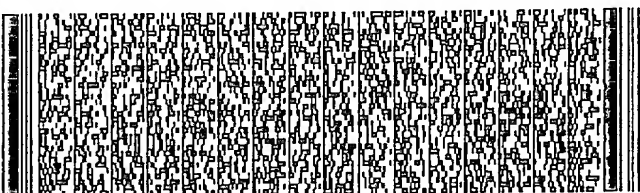
3. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，其中該第二單幕層的材質為有機抗反射材質。

4. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，其中使該第一單幕層的邊緣退縮至暴露出該第一部份的該半導體基底的邊角之方法包括進行等向性蝕刻法。

5. 如申請專利範圍第4項所述之部分垂直記憶單元的雙邊角圓化製程，其中等向性蝕刻法所使用的蝕刻液為氫氟酸/乙二醇(HF/EG)。

6. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，其中該第一圓化製程包括氧化該第一部份的該半導體基底的邊角和側邊，並移除氧化生成之氧化物。

7. 如申請專利範圍第6項所述之部分垂直記憶單元的



六、申請專利範圍

雙邊角圓化製程，其中氧化該第一部份的該半導體基底的邊角和側邊之方法包括進行同步蒸汽（ISSG）氧化製程。

8. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，其中該襯絕緣層的材質為氮化矽。

9. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，其中該絕緣插塞的材質為利用高密度電漿化學氣相沈積法形成之氧化矽。

10. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，其中該第二圓化製程包括依序輪流使用氧化劑和氫氟酸溶液。

11. 如申請專利範圍第10項所述之部分垂直記憶單元的雙邊角圓化製程，其中該氧化劑包括過氧化氫溶液（ $\text{H}_2\text{O}_{2(\text{aq})}$ ）或硝酸溶液（ $\text{HNO}_{3(\text{aq})}$ ）。

12. 如申請專利範圍第1項所述之部分垂直記憶單元的雙邊角圓化製程，更包括於該記憶單元陣列區和該支援區的主動區形成電晶體。

13. 一種部分垂直記憶單元的雙邊角圓化製程，包括：

提供一半導體基底，包括一記憶單元陣列區和一支援區，該半導體基底上具有一第一罩幕層，該第一罩幕層和該半導體基底中具有一第一溝槽和一第二溝槽，該第一溝槽為深溝槽，且位於該記憶單元陣列區中，其下半部具有一電容器，該電容器頂部具有一第一絕緣層，該第一絕緣層的表面和該半導體基底的表面相隔一距離，該第二溝槽



六、申請專利範圍

為淺溝槽，用以定義出該記憶單元陣列區和該支援區的主動區；

使該第一單幕層的邊緣退縮至暴露出該半導體基底的邊角；

對該半導體基底之邊角進行第一圓化製程；

於該第一單幕層、該第一絕緣層和該半導體基底表面形成一襯絕緣層；

於該襯絕緣層上形成一絕緣插塞，該絕緣插塞與主動區之該半導體基底上之襯絕緣層的表面大致共平面；

移除該記憶單元陣列區之部份該絕緣插塞、部份該襯絕緣層和部份該第一單幕層，至暴露出該記憶單元陣列區的該半導體基底之邊角；以及

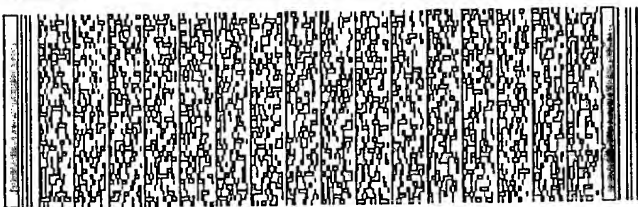
對該記憶單元陣列區之該半導體基底之邊角進行第二圓化製程。

14. 如申請專利範圍第13項所述之部分垂直記憶單元的雙邊角圓化製程，其中該第一單幕層為墊氧化矽層和墊氮化矽層的疊層結構。

15. 如申請專利範圍第13項所述之部分垂直記憶單元的雙邊角圓化製程，其中使該第一單幕層的邊緣退縮至暴露出該半導體基底的邊角之方法包括進行等向性蝕刻法。

16. 如申請專利範圍第15項所述之部分垂直記憶單元的雙邊角圓化製程，其中等向性蝕刻法所使用的蝕刻液為氫氟酸/乙二醇(HF/EG)。

17. 如申請專利範圍第13項所述之部分垂直記憶單元



六、申請專利範圍

的雙邊角圓化製程，其中該第一圓化製程包括氧化該半導體基底的邊角和側邊，以形成一犧牲氧化層，並移除該犧牲氧化層。

18. 如申請專利範圍第17項所述之部分垂直記憶單元的雙邊角圓化製程，其中氧化該第一部份的該半導體基底的邊角和側邊之方法包括進行同步蒸汽 (ISSG) 氧化製程。

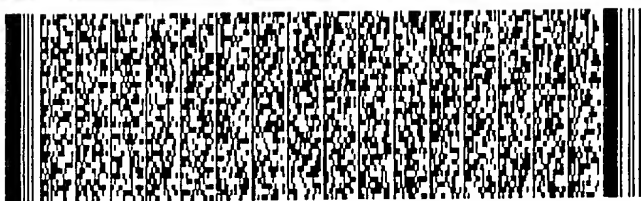
19. 如申請專利範圍第13項所述之部分垂直記憶單元的雙邊角圓化製程，其中該襯絕緣層的材質為氮化矽。

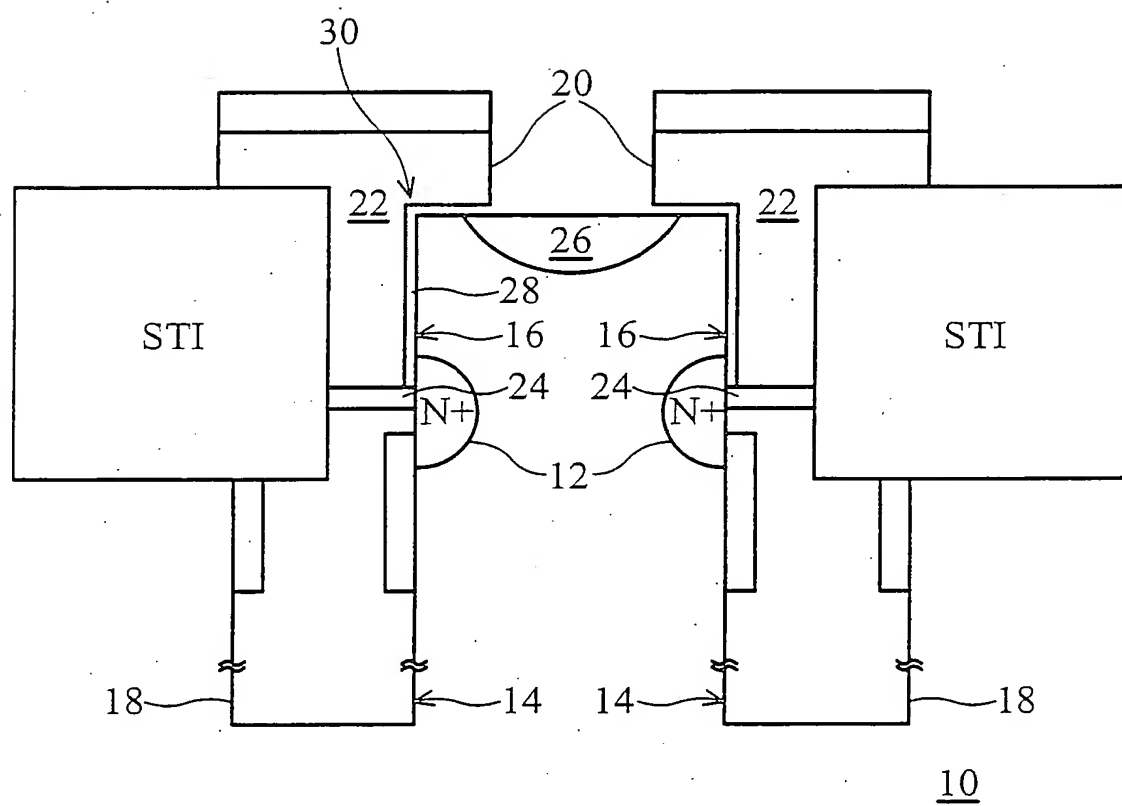
20. 如申請專利範圍第13項所述之部分垂直記憶單元的雙邊角圓化製程，其中該絕緣插塞的材質為利用高密度電漿化學氣相沈積法形成之氧化矽。

21. 如申請專利範圍第13項所述之部分垂直記憶單元的雙邊角圓化製程，其中該第二圓化製程包括依序輪流使用氧化劑和氫氟酸溶液。

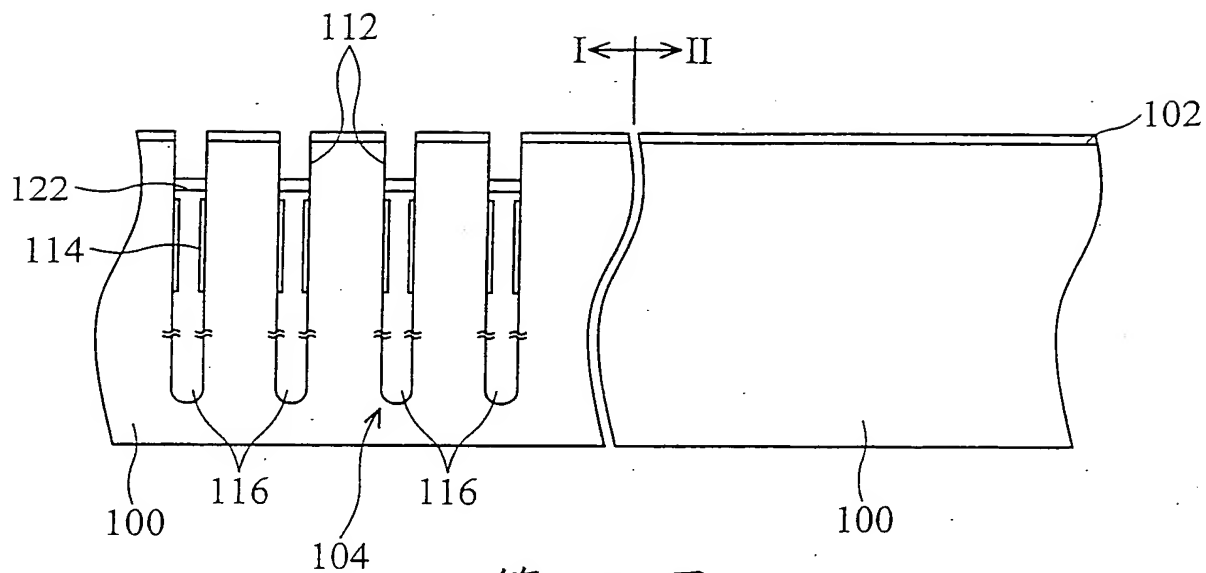
22. 如申請專利範圍第21項所述之部分垂直記憶單元的雙邊角圓化製程，其中該氧化劑包括過氧化氫溶液 ($\text{H}_2\text{O}_{2(\text{aq})}$) 或硝酸溶液 ($\text{HNO}_{3(\text{aq})}$)。

23. 如申請專利範圍第13項所述之部分垂直記憶單元的雙邊角圓化製程，更包括於該記憶單元陣列區和該支援區的主動區形成電晶體。

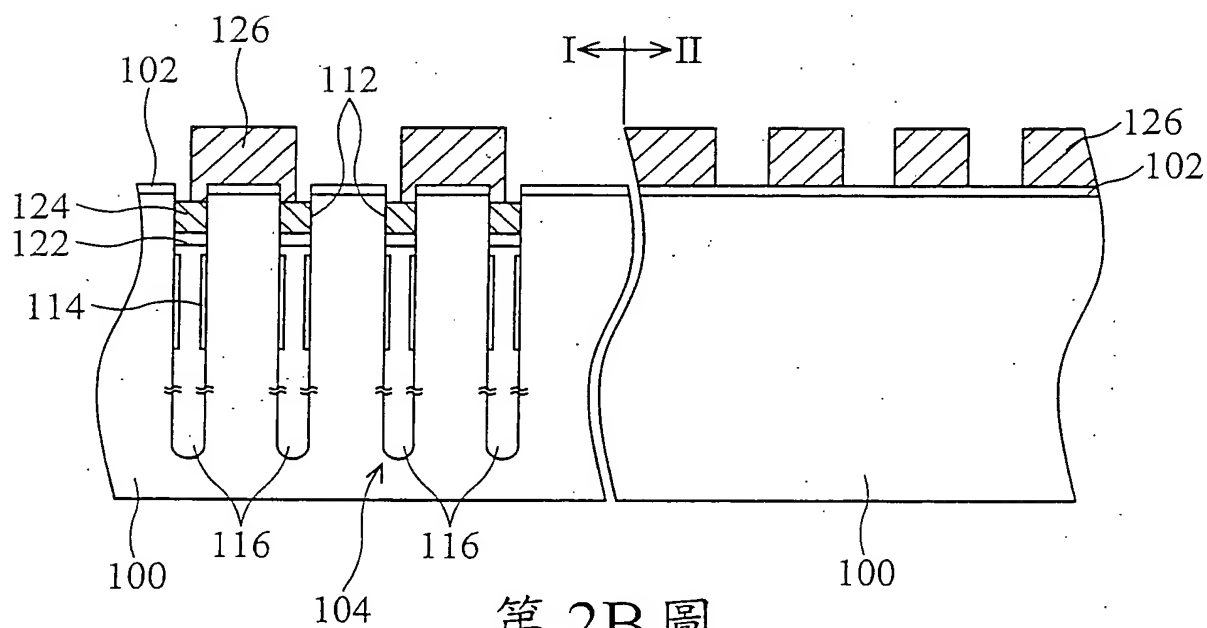




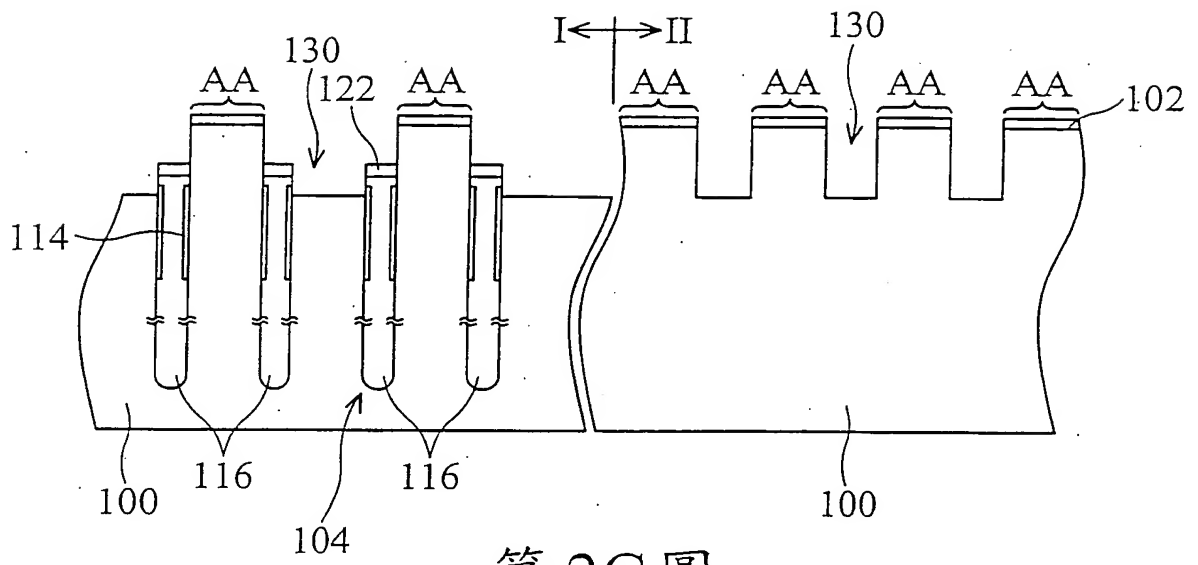
第 1 圖



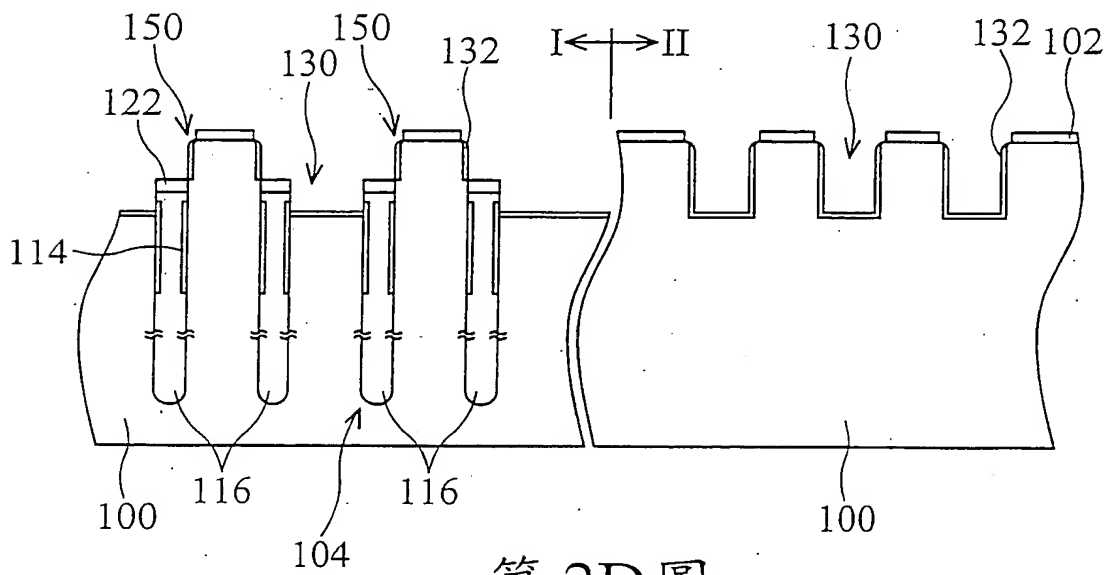
第 2A 圖



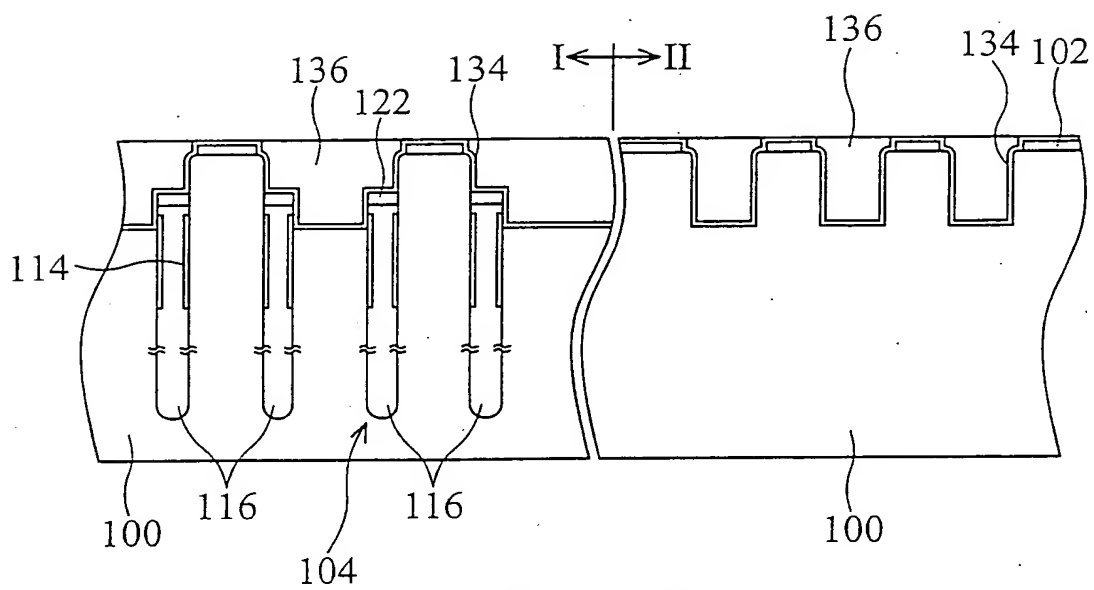
第 2B 圖



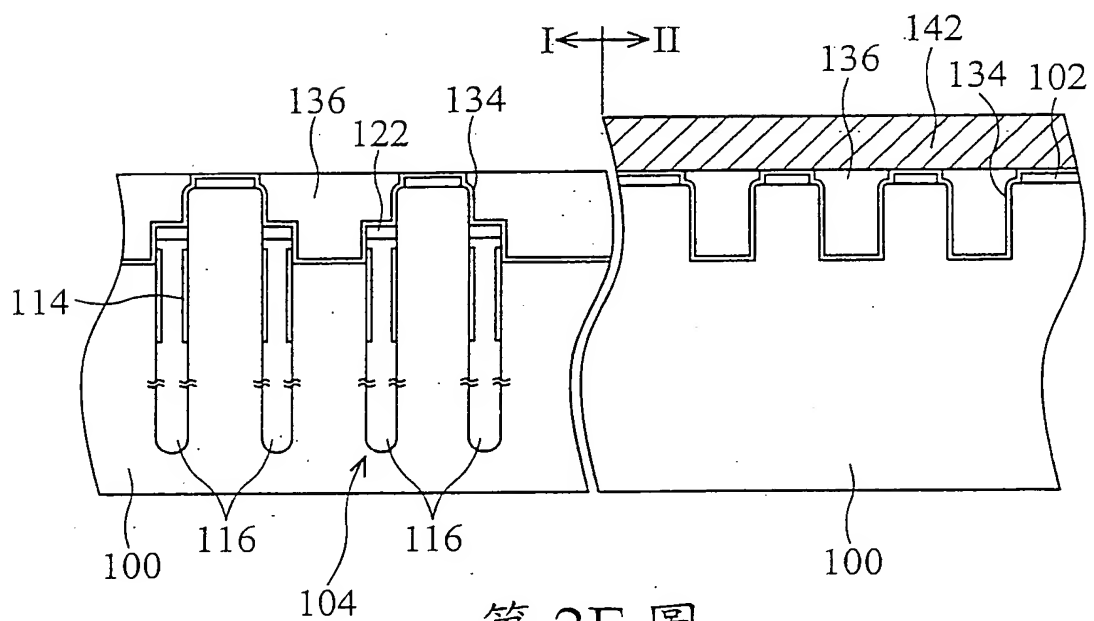
第 2C 圖



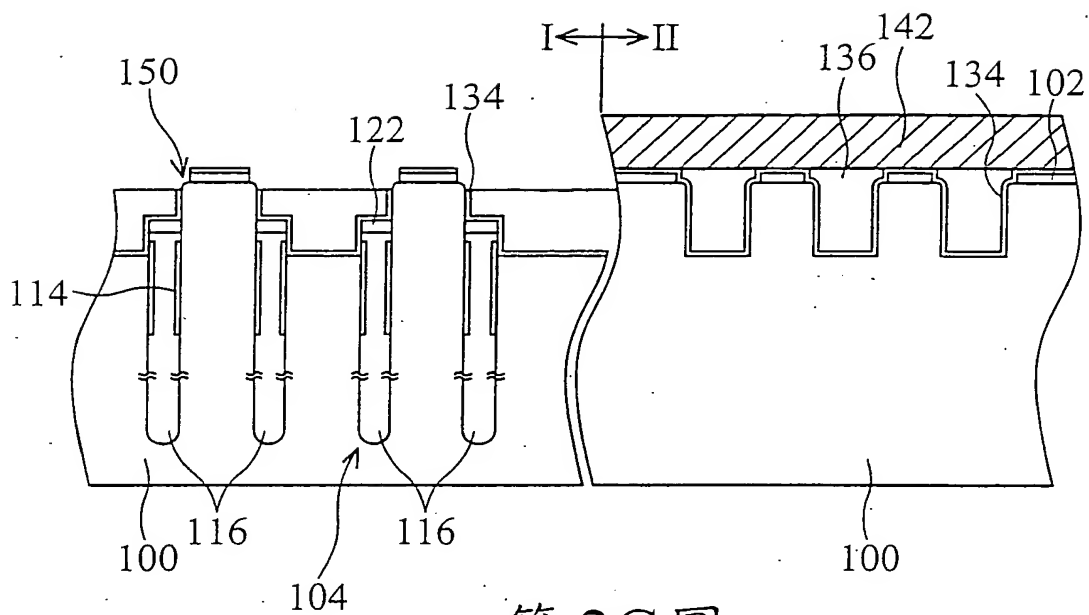
第 2D 圖



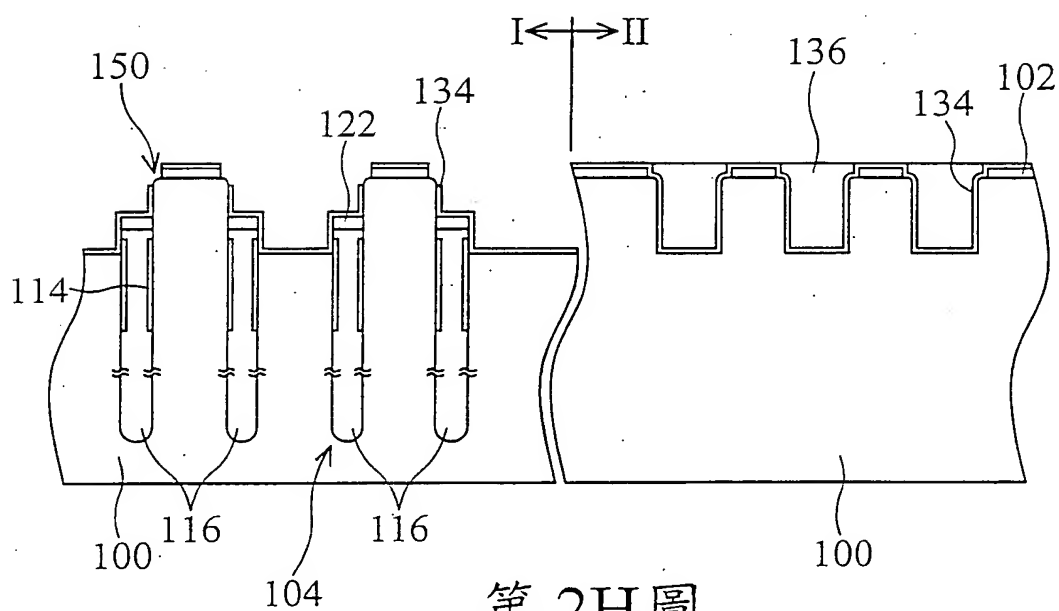
第 2E 圖



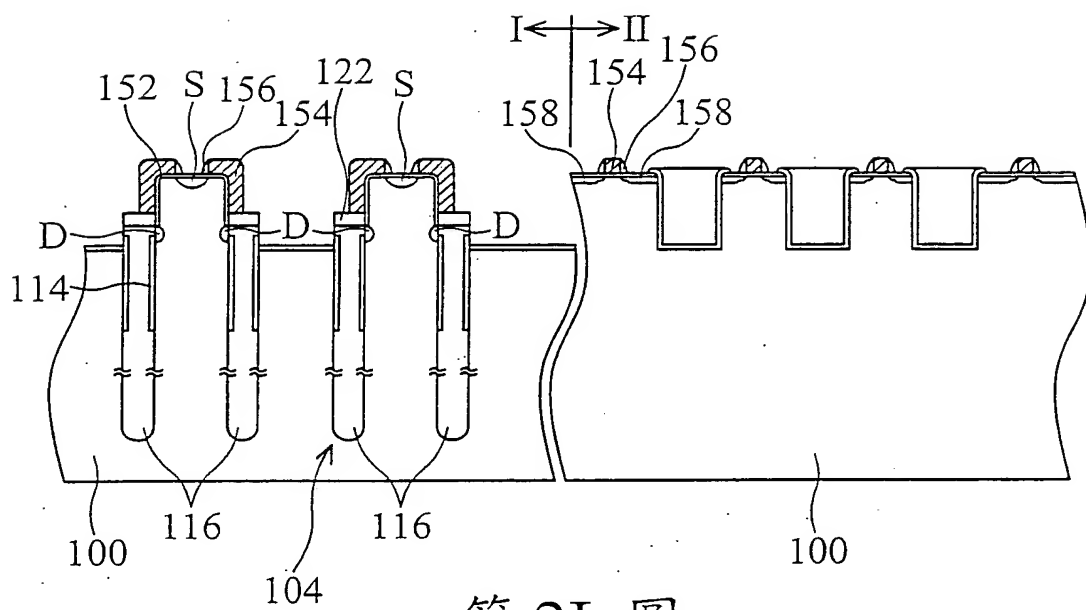
第 2F 圖



第 2G 圖



第 2H 圖

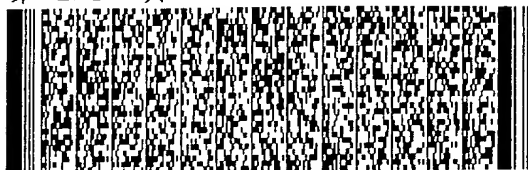


第 2I 圖

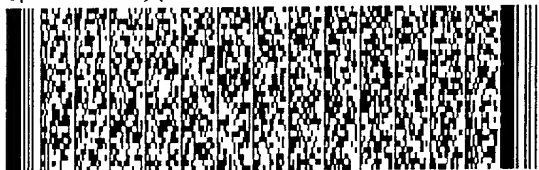
第 1/19 頁



第 2/19 頁



第 2/19 頁



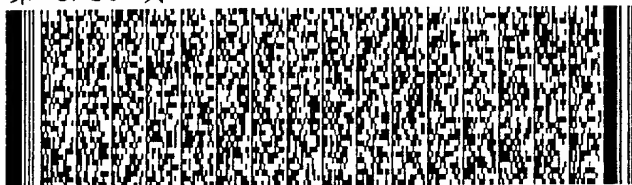
第 3/19 頁



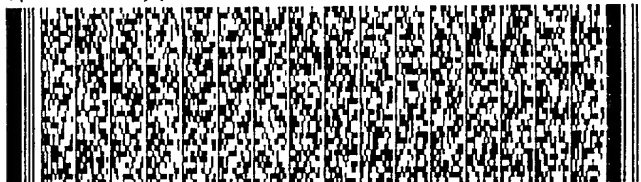
第 4/19 頁



第 5/19 頁



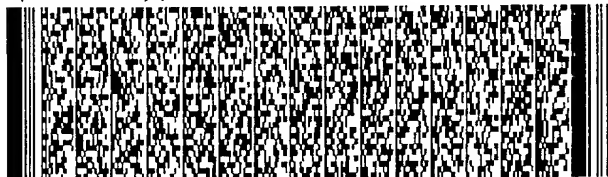
第 5/19 頁



第 6/19 頁



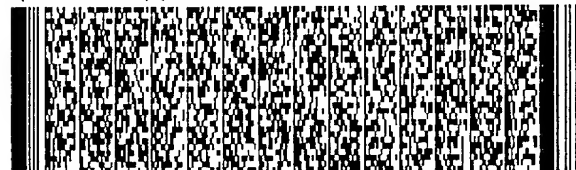
第 6/19 頁



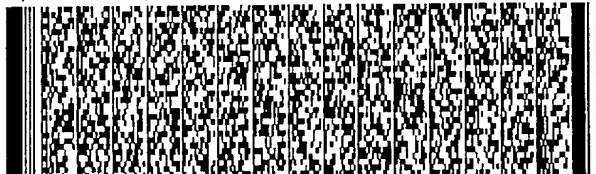
第 7/19 頁



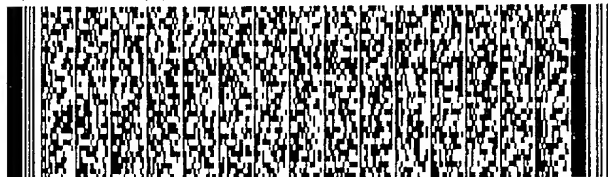
第 7/19 頁



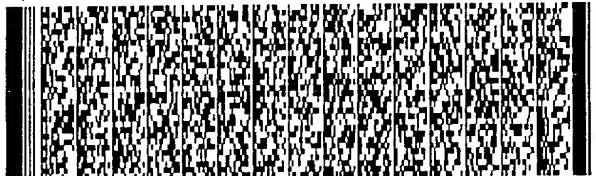
第 8/19 頁



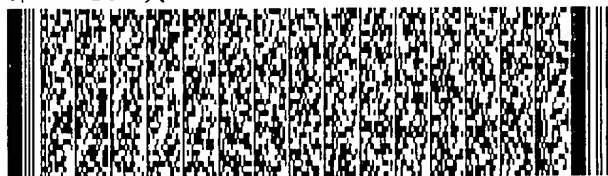
第 8/19 頁



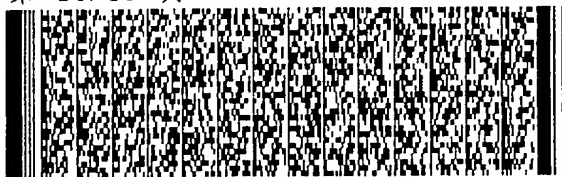
第 9/19 頁



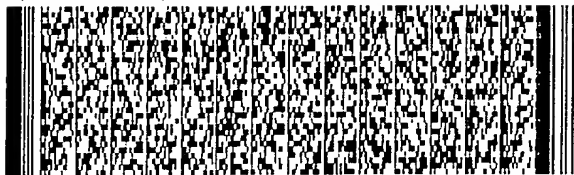
第 9/19 頁



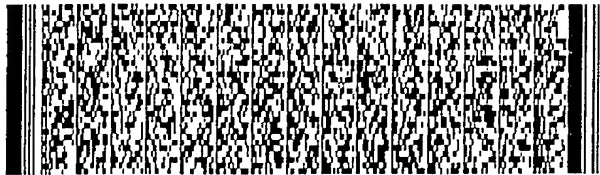
第 10/19 頁



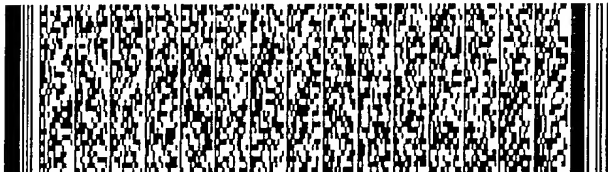
第 10/19 頁



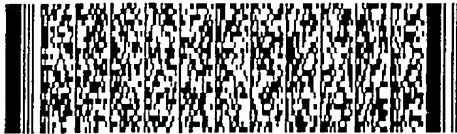
第 11/19 頁



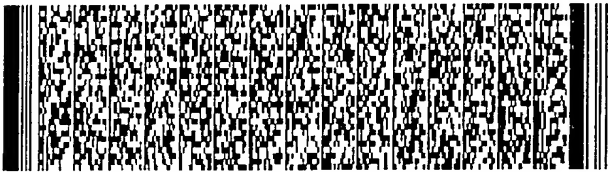
第 11/19 頁



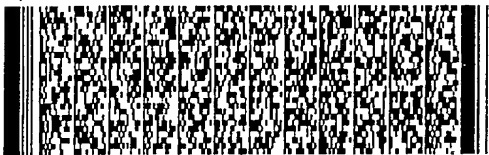
第 12/19 頁



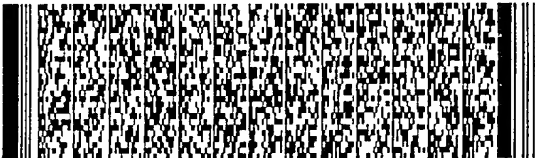
第 13/19 頁



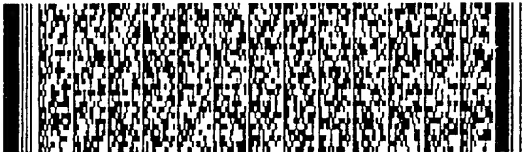
第 14/19 頁



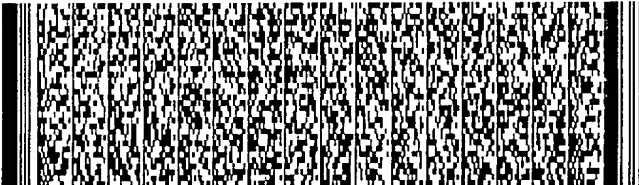
第 15/19 頁



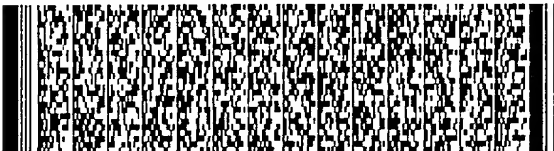
第 15/19 頁



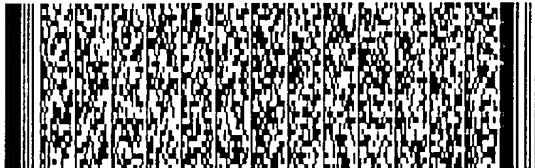
第 16/19 頁



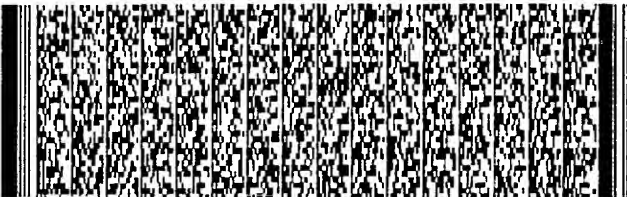
第 17/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

